

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196057

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 27/146
H01L 21/3065
H04N 5/335

(21)Application number : 10-373818

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.1998

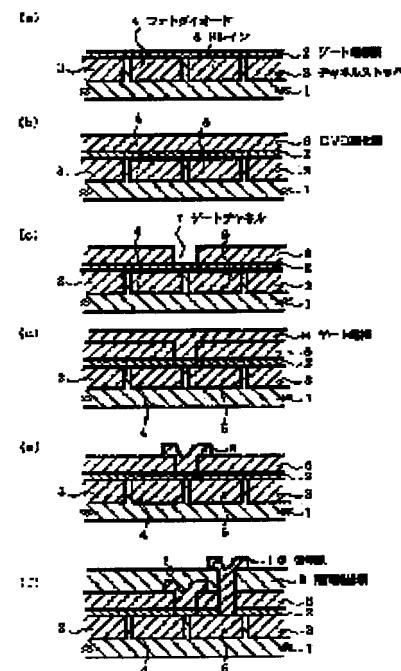
(72)Inventor : HORI MIKIKO
SHIOYAMA YOSHIYUKI

(54) SOLID-STATE IMAGE SENSOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To dispense with a LOCOS process and to protect a photodiode against damage by a method wherein a gate insulating film and an oxide film are deposited on a substrate, and a conductive pattern is formed and buried in the gate channel penetrating through the gate insulating film and the oxide film.

SOLUTION: A gate insulating film 2 is deposited on a semiconductor substrate 1 and thermally oxidized into a thermal oxide film, and ions are implanted through the intermediary of the thermal oxide film for formation of a channel stopper 3, a photodiode 4, and a drain 5. Then, a CVD oxide film 6 and a resist film are deposited, and then the CVD oxide film 6 and the gate oxide film 2 are etched through a mask so as to bore a gate channel 7 in the CVD oxide film 6. In succession, a polysilicon gate electrode 8 is deposited thereon so as to be filled into the gate channel 7, and the gate electrode 8 is processed by reactive ion etching into a pattern larger than the gate channel 7 so as to form a polysilicon wiring pattern.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-196057
(P2000-196057A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/146		H 0 1 L 27/14	A 4 M 1 1 8
21/3065		H 0 4 N 5/335	U 5 C 0 2 4
H 0 4 N 5/335		H 0 1 L 21/302	H 5 F 0 0 4

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平10-373818

(22) 出願日 平成10年12月28日 (1998. 12. 28)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 堀 幹子

神奈川県川崎市幸区小向東芝町 1 株式会

社東芝多摩川工場内

(72) 発明者 塩山 善之

神奈川県川崎市幸区小向東芝町 1 株式会

社東芝多摩川工場内

(74) 代理人 100077849

弁理士 須山 佐一

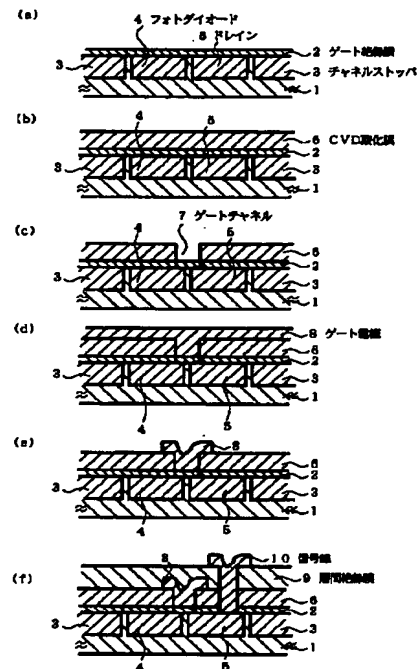
最終頁に続く

(54) 【発明の名称】 固体撮像素子およびその製造方法

(57) 【要約】

【課題】 ロコスを使用しない、フォトダイオードが保護された固体撮像素子およびその製造方法を提供する。

【解決手段】 素子分離領域、感光部およびドレイン領域が配置された基板と、前記基板上に堆積されたゲート絶縁膜および酸化膜と、前記ゲート絶縁膜および前記酸化膜をつらぬくように形成されたゲートチャネル部に埋め込まれた導電パターンを具備することを特徴とする固体撮像素子およびその製造方法。



【特許請求の範囲】

【請求項 1】 素子分離領域、感光部およびドレイン領域が配置された基板と、前記基板上に堆積されたゲート絶縁膜および酸化膜と、前記ゲート絶縁膜および前記酸化膜をつらぬくように形成されたゲートチャネル部に埋め込まれた導電パターンを具備することを特徴とする固体撮像素子。

【請求項 2】 (A) 半導体基板上に、ゲート絶縁膜を堆積する工程と、

(B) 前記ゲート絶縁膜を介して、前記半導体基板中に素子分離領域、感光部およびドレイン領域を形成する工程と、

(C) 前記ゲート絶縁膜上に酸化膜を堆積する工程と、

(D) 前記ゲート絶縁膜および前記酸化膜をつらぬくようにゲートチャネル部を開口する工程と、

(E) 前記ゲートチャネル部に導電パターンを埋め込む工程とを具備することを特徴とする固体撮像素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子およびその製造方法に係わり、特に、感光部に損傷を与えない固体撮像素子およびその製造方法に関する。

【0002】

【従来の技術】マルチメディア時代の到来と共に、画像入力のための固体撮像素子の開発が進められている。これらの固体撮像素子としては、CCD (Charge Coupled Device、電荷結合素子) や陰極線管、CMOS (相補型金属酸化膜半導体) イメージセンサ等がある。

【0003】これらの固体撮像素子を用いたDSC (Digital Still Camera、電子スチルカメラ) が製品化されている。このDSCは、従来のいわゆるフィルムに焼き付けるタイプのカメラに台頭するものである。

【0004】さて、こういった固体撮像素子のこれまでの一般的な形成方法について説明する。

【0005】図5 (a) に示すように、半導体基板1上の素子分離領域にチャネルストッパ3のイオン注入を行う。この半導体基板1上に、ゲート絶縁膜2としてゲート酸化膜を堆積する。次に、チャネルストッパ3の形成された素子分離領域上にLOCOS (Local Oxidized Silicon: ロコス) 11を形成する。ロコスは、例えば、ポリシリコンを堆積して、窒化膜を選択酸化のマスクとして用い、フォトエッチングプロセス・RIE (反応性イオンエッチング) により形成される。

【0006】次に、図5 (b) に示すように、ロコスで分離された間の領域に、フォトダイオード4およびドレイン5をイオン注入により形成する。

【0007】そして、図5 (c) に示すように、レジストマスクを用いてゲートチャネルにイオン注入を行う。

【0008】さらに、図5 (d) に示すように、ゲート

電極8を堆積し、図5 (e) に示すようにゲート電極8にフォトエッチングプロセス・RIEを施してポリシリコン配線パターンを形成する。

【0009】素子分離にロコスをを用いて形成されるMOS型固体撮像素子には、窒化膜等からの膜ストレスや高温で長時間の熱工程により欠陥が発生する。この欠陥は、白キズや暗電流発生の原因となる。また、ロコスをを用いると、微細化が困難であり、工程が長くなる。そればかりか、ゲートチャネル部の形成とゲート配線の形成の際のレジストマスクが別であるためにずれてしまうという問題もある。また、フォトダイオードと薄いゲート酸化膜を介して堆積された構造であるため、ポリシリコンのRIEの際にフォトダイオードまでダメージを受けてしまう。これも暗電流や白キズ発生の原因となる。

【0010】これに加え、ポリシリコンのRIEにおいてはロコスの段差部をRIEするため、オーバーエッチングや時間が長くなることでさらにフォトダイオードにダメージが及んで、暗電流や白キズ発生の原因となり、素子の性能を下げる。

20 【0011】

【発明が解決しようとする課題】上述したように、従来の固体撮像素子およびその製造方法においては、ロコスをを用いるために欠陥の発生の原因となったり、工程が煩雑であったり、フォトダイオードの上面にエッチングによるダメージが生じたりしていた。

【0012】従って、本発明は、ロコスを使用しない、フォトダイオードが保護された固体撮像素子およびその製造方法を提供することを目的とする。

【0013】

30 【課題を解決するための手段】本発明の固体撮像素子は、素子分離領域、感光部およびドレイン領域が配置された基板と、前記基板上に堆積されたゲート絶縁膜および酸化膜と、前記ゲート絶縁膜および前記酸化膜をつらぬくように形成されたゲートチャネル部に埋め込まれた導電パターンを具備することを特徴としている。

40 【0014】本発明の固体撮像素子の製造方法において、(A) 半導体基板上に、ゲート絶縁膜を堆積する工程と、(B) 前記ゲート絶縁膜を介して、前記半導体基板中に素子分離領域、感光部およびドレイン領域を形成する工程と、(C) 前記ゲート絶縁膜上に酸化膜を堆積する工程と、(D) 前記ゲート絶縁膜および前記酸化膜をつらぬくようにゲートチャネル部を開口する工程と、(E) 前記ゲートチャネル部に導電パターンを埋め込む工程とを具備することを特徴としている。

50 【0015】本発明の固体撮像素子およびその製造方法によれば、熱酸化膜であるゲート絶縁膜を薄くすることでフォトダイオードへの熱の影響を少なくでき、さらにこのゲート絶縁膜上に厚い酸化膜を堆積することで、ゲートチャネルの開口時にもフォトダイオードへのエッチングダメージが少なく、ゲートチャネル開口部を形成す

ることで、ゲート電極位置がセルフアラインで決められるため、ゲートチャネル開口部とゲート電極との合わせずれも生じない。

【0016】本発明の固体撮像素子は、具体的には、チャネルストップパとフォトダイオードおよびドレインがイオン注入により形成された半導体基板と、その半導体基板上に堆積された SiO_2 膜または $\text{SiO}_x/\text{SiN}_x$ 膜と、その上に堆積されたCVD SiO_2 膜と、 SiO_2 膜とCVD SiO_2 膜をつらぬくように形成されたゲートチャネル開口部と、少なくともフォトダイオードおよびドレインと接触するように開口部に埋め込まれたポリシリコンパターンとから構成されている。

【0017】また、本発明の固体撮像素子の製造方法は、具体的には、(A)半導体基板上に SiO_2 膜または $\text{SiO}_x/\text{SiN}_x$ 膜を堆積する工程と、(B)この SiO_2 膜または $\text{SiO}_x/\text{SiN}_x$ 膜を介して、チャネルストップパ、フォトダイオードおよびドレインをイオン注入により形成する工程と、(C) SiO_2 膜または $\text{SiO}_x/\text{SiN}_x$ 膜上にCVD SiO_2 膜を堆積する工程と、(D) SiO_2 膜または $\text{SiO}_x/\text{SiN}_x$ 膜およびCVD SiO_2 膜をつらぬくようにRIE法によりエッチングしてゲートチャネル開口部を形成する工程と、(E)少なくともフォトダイオードおよびドレインと接触するように開口部にポリシリコンを埋め込む工程とからなる。

【0018】上述したように、本発明によれば、半導体基板上にゲート絶縁膜を形成し、開口部を形成する前にフォトダイオードを形成し、開口部形成用の厚いCVD膜を開口部とフォトダイオード部を同時に覆うように形成する。これにより、フォトダイオードは早期に厚い酸化膜に覆われるため、ダメージや汚染の影響を受け難くなる。

【0019】ゲートチャネルはレジストマスクを介してRIEを行い、セルフアラインにてチャネルへのイオン注入を行ってから導電パターンとなるポリシリコンを堆積し、少なくともこのポリシリコン配線パターンをチャネルより大きなパターンでエッチングする。これにより、チャネル形成がセルフアラインでできること、ポリシリコンのRIEが平面パターンでエッチングできること、そしてフォトダイオードが厚い酸化膜に覆われていることにより、RIEの影響によりフォトダイオードに与えられるダメージが小さくなる。

【0020】本発明の固体撮像素子およびその製造方法は、CMOSイメージセンサに最適であるが、これに限られるものではなく、CCDや陰極線管等にも適用可能である。

【0021】

【発明の実施の形態】以下、本発明の固体撮像素子およびその製造方法を、実施例により具体的に説明する。

【0022】[実施例1]図1(a)に示すように、半

導体基板1上に、ゲート絶縁膜2として SiO_2 膜を約0.1 μm の厚さで堆積して、熱酸化する。次に、この熱酸化膜を介してチャネルストップパ3、フォトダイオード4およびドレイン5をイオン注入により形成する。チャネルストップパ3、フォトダイオード4およびドレイン5の深さは約1 μm である。ただし、チャネルストップパ3の注入濃度および深さは、フォトダイオード4の電荷が他のセルに流出しない、又、流入しないように、そしてフォトダイオード4とドレイン5間の距離およびそれぞれの濃度は、ノーマリーONにならないように適宜調整する。

【0023】次に、図1(b)に示すように、CVD酸化膜6を約0.3 μm の厚さで堆積する。レジストを堆積した後(図示せず)、図1(c)に示すように、ゲートチャネル7を開口させるようにマスク(図示せず)を介して、CVD酸化膜6、ゲート酸化膜2をRIE法によりエッチングする。RIEの条件は、例えば、 CF_4 と H_2 の混合ガスを27 Paの圧力で、13 MHzの高周波電力を4 W/ cm^2 で印加して行えばよい。あるいは、 SF_6 と O_2 の混合ガス等を用いてもよい。レジストを剥離し、再酸化を行って、ゲート酸化膜をチャネル領域に形成する。

【0024】図1(d)に示すように、ポリシリコンからなるゲート電極8を堆積し、図1(e)に示すように、レジストマスク(図示せず)にて少なくともチャネルよりも大きいパターンでゲート電極8にRIEを施し、ポリシリコン配線パターンを形成する。このときのRIEの条件は、例えば、 Cl_2 ガスを27 Paの圧力で、13 MHzの高周波電力を2 W/ cm^2 で印加して行えばよい。

【0025】さらに、図1(f)に示すように、 SiO_2 等の層間絶縁膜9を堆積して、ドレイン5と通じるようにRIEにより開口して、信号線10を埋め込む。図4は本実施例の固体撮像素子の平面図である。

【0026】[実施例2]図2(a)に示すように、半導体基板1上に、ゲート絶縁膜2として SiO_2/SiN 膜を約0.1 μm の厚さで堆積し、熱酸化する。次に、この熱酸化膜を介してチャネルストップパ3、フォトダイオード4およびドレイン5をイオン注入により形成する。チャネルストップパ3、フォトダイオード4およびドレイン5の深さは約1 μm である。ただし、チャネルストップパ3の注入濃度および深さは、フォトダイオード4の電荷が他のセルに流出しない、又、流入しないように、そしてフォトダイオード4とドレイン5間の距離およびそれぞれの濃度は、ノーマリーONにならないように適宜調整する。

【0027】次に、図2(b)に示すように、CVD酸化膜6を約0.3 μm の厚さで堆積し、レジストを堆積した後(図示せず)、図2(c)に示すように、ゲートチャネル7を開口させるようにマスク(図示せず)を介

10

20

30

40

50

して、CVD酸化膜6、ゲート酸化膜2をRIE法によりエッチングする。RIEの条件は、例えば、 CF_4 と H_2 の混合ガスを27Paの圧力で、13MHzの高周波電力を $4\text{W}/\text{cm}^2$ で印加して行えばよい。あるいは、 SF_6 と O_2 の混合ガス等を用いてもよい。このとき開口部の幅は約 $0.5\mu\text{m}$ である。レジストを剥離し、再酸化を行って、ゲート酸化膜をチャンネル領域に形成する。

【0028】図2(d)に示すように、セルフアラインでゲートチャンネルイオン注入を行う。

【0029】図2(e)に示すように、ポリシリコンからなるゲート電極8を堆積し、レジストマスク(図示せず)にて少なくともチャンネルよりも大きいパターンでゲート電極8にRIEを施し、ポリシリコン配線パターンを形成する。このときのRIEの条件は、例えば、 Cl_2 ガスを27Paの圧力で、13MHzの高周波電力を $2\text{W}/\text{cm}^2$ で印加して行えばよい。

【0030】さらに、図2(f)に示すように、 SiO_2 等の層間絶縁膜9を堆積して、ドレイン5と通じるようにRIEにより開口して、信号線10を埋め込む。

【0031】【実施例3】図3(a)に示すように、半導体基板1上に、ゲート絶縁膜2として $\text{SiO}_2/\text{Si}_3\text{N}_4$ 膜を約 $0.1\mu\text{m}$ の厚さで堆積し、熱酸化する。次に、この熱酸化膜を介してチャンネルストップ3、フォトダイオード4およびドレイン5をイオン注入により形成する。チャンネルストップ3、フォトダイオード4およびドレイン5の深さは約 $1\mu\text{m}$ である。ただし、チャンネルストップ3の注入濃度および深さは、フォトダイオード4の電荷が他のセルに流出しない、又、流入しないように、そしてフォトダイオード4とドレイン5間の距離およびそれぞれの濃度は、ノーマリーONにならないように適宜調整する。

【0032】次に、図3(b)に示すように、CVD酸化膜6を約 $0.3\mu\text{m}$ の厚さで堆積し、レジストを堆積した後(図示せず)、図3(c)に示すように、ゲートチャンネル7を開口させるようにマスク(図示せず)を介して、CVD酸化膜6、ゲート酸化膜2をRIE法によりエッチングする。RIEの条件は、例えば、 CF_4 と H_2 の混合ガスを27Paの圧力で、13MHzの高周波電力を $4\text{W}/\text{cm}^2$ で印加して行えばよい。あるいは、 SF_6 と O_2 の混合ガス等を用いてもよい。レジストを剥離し、再酸化を行って、ゲート酸化膜をチャンネル領域に形成する。

【0033】図3(d)に示すように、レジストを新たに塗布し片側をオフセットとしたセルフアラインでゲートチャンネルイオン注入を行う。このゲートチャンネルイオン注入の注入深さは約 $0.1\mu\text{m}$ である。

【0034】図3(e)に示すように、ポリシリコンからなるゲート電極8を堆積し、レジストマスク(図示せず)にて少なくともチャンネルよりも大きいパターンでゲ

ート電極8にRIEを施し、ポリシリコン配線パターンを形成する。このときのRIEの条件は、例えば、 Cl_2 ガスを27Paの圧力で、13MHzの高周波電力を $2\text{W}/\text{cm}^2$ で印加して行えばよい。

【0035】さらに、図3(f)に示すように、 SiO_2 等の層間絶縁膜9を堆積して、ドレイン5と通じるようにRIEにより開口して、信号線10を埋め込む。

【0036】

【発明の効果】フォトダイオードは熱によりダメージを受けるため、フォトダイオード形成後には高温・長時間の熱処理はできず、従来の固体撮像素子の製造方法においては、ロコスや厚い酸化膜はフォトダイオード形成前に形成していた。

【0037】しかしながら、本発明の固体撮像素子およびその製造方法によれば、素子分離にロコスを使用せず、薄い熱酸化膜上にCVD酸化膜を堆積させることによって、熱工程を少なくし、フォトダイオード形成後に素子分離を行うことができる。

【0038】また、本発明の固体撮像素子は、膜ストレスが少なく、欠陥、汚染に強い。さらに、チャンネルストップとCVD膜のみで素子分離しているため、工程が短縮される上に、ゲートチャンネル部とゲート電極の位置合わせを行う必要がない。加えて、微細化がロコスよりも容易であり、ゲートチャンネルイオン注入のセルフアラインが可能である。この他、ポリシリコンのRIEが平面パターンで行うことができるため加工が容易である、工程の短縮および簡便化により時間の短縮が可能である、読み出し電極形成前に厚いCVD膜でフォトダイオードが覆われているためオーバーエッチングによるダメージがなくフォトダイオードの白キズ発生を低減できる、汚染に強い等の利点がある。

【図面の簡単な説明】

【図1】本発明による固体撮像素子の製造工程を示す断面図。

【図2】本発明による固体撮像素子の製造工程を示す断面図。

【図3】本発明による固体撮像素子の製造工程を示す断面図。

【図4】本発明による固体撮像素子の平面図。

【図5】従来の固体撮像素子の製造工程を示す断面図。

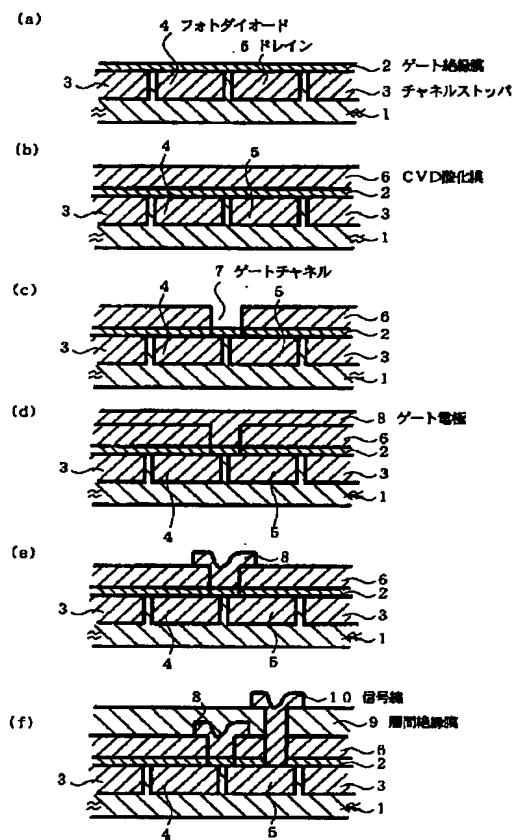
【符号の説明】

- 1…基板
- 2…ゲート絶縁膜
- 3…チャンネルストップ
- 4…フォトダイオード
- 5…ドレイン
- 6…CVD酸化膜
- 7…ゲートチャンネル
- 8…ゲート電極
- 9…層間絶縁膜

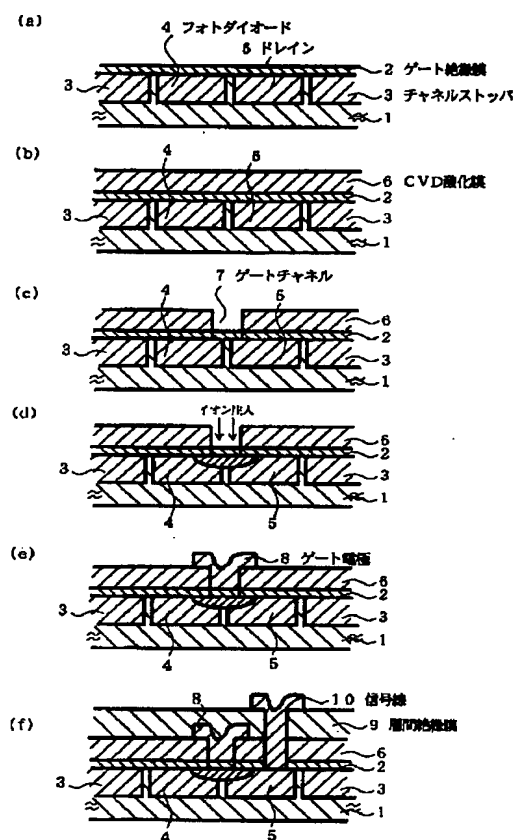
10…信号線

* * 11…ロコス

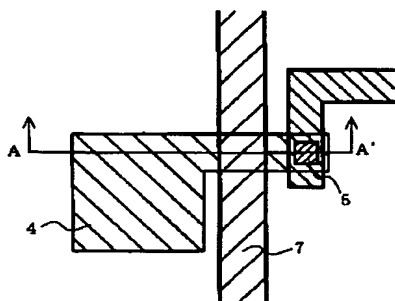
【図1】



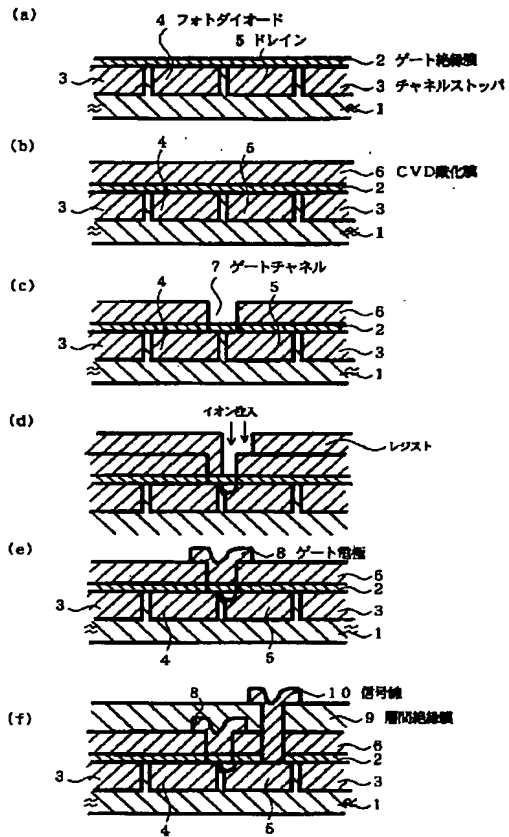
【図2】



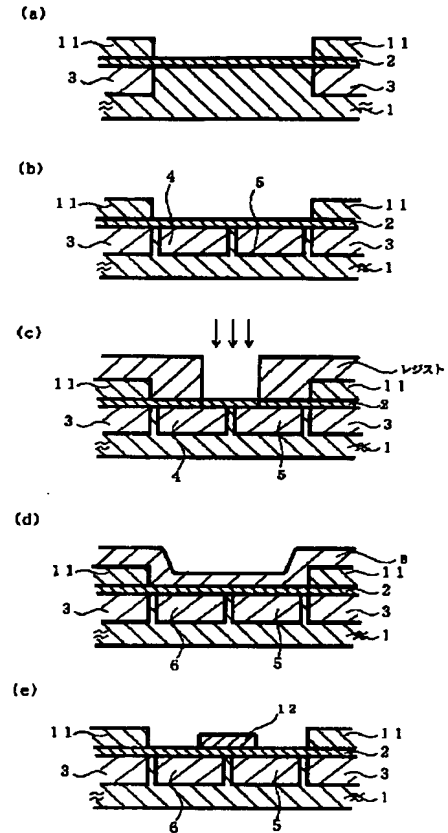
【図4】



【図3】



【図5】



フロントページの続き

F ターム(参考) 4M118 AA05 AA08 AB01 BA14 CA03
EA01 EA06 EA16 FA06 FA26
FA28
5C024 AA01 CA31 FA01 FA11 GA01
GA31
5F004 BA04 BB13 DA01 DA04 DA18
DA24 DB02 DB03 EB02